

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-018326

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H03K 19/0175
// H04L 25/02

(21)Application number : 07-164846

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.06.1995

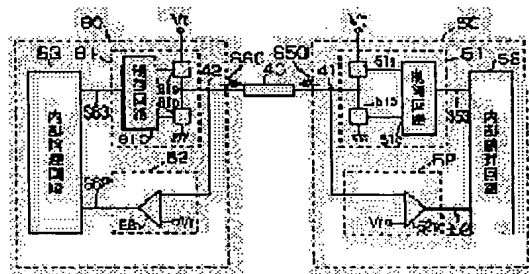
(72)Inventor : TOMITA TAKASHI

(54) SIGNAL TRANSMISSION CIRCUIT

(57)Abstract:

PURPOSE: To reduce external resistors for termination, to reduce the packaging area and to reduce the cost.

CONSTITUTION: When transmission signals S53 are outputted from an internal logic circuit 53 inside an IC 50 and resistance means 51a and 51b are ON/OFF-operated by the signals S53. Thus, binary signals S50 are transmitted from an input/output terminal 41 by signal amplitude smaller than a terminating potential V_t lower than a power supply potential V_{cc} . The signals S50 are transmitted through a transmission line 40 to the IC 60. At the time, by the signals S63 outputted from the internal logic circuit 63 inside the IC 60, the resistance means 61a is turned ON and the resistance means 61b is turned OFF. The signals S50 transmitted to the input/output terminal 42 are amplified to a prescribed logic level in a reception circuit 62.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-18326

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 Q
// H 0 4 L 25/02		9199-5K	H 0 4 L 25/02	F
			H 0 3 K 19/00	1 0 1 S

審査請求 未請求 請求項の数 8 O L (全 20 頁)

(21) 出願番号 特願平7-164846

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 富田 敬

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

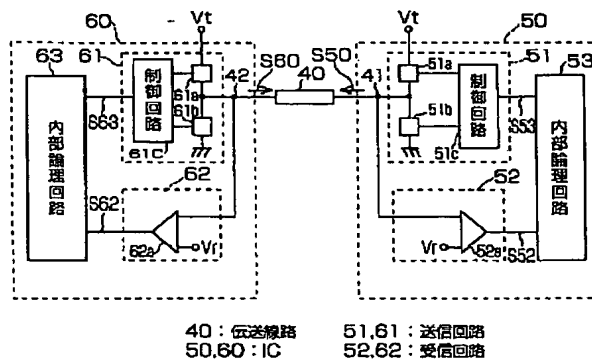
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 信号伝送回路

(57) 【要約】

【目的】 外付けの終端用抵抗を削減して実装面積の縮小とコストの低減を図る。

【構成】 IC50内の内部論理回路53から送信信号S53が出力されると、その信号S53によって抵抗手段51a, 51bがオン/オフ動作する。これにより、電源電位Vccよりも低い終端電位Vt に比べて小さい信号振幅で、入出力端子41から2値信号S50が送信される。この信号S50は、伝送線路40を介してIC60へ伝送される。この時、IC60内の内部論理回路63から出力される信号S63により、抵抗手段61aがオン、抵抗手段61bがオフとなる。入出力端子42へ伝送されてきた信号S50は、受信回路62で所定の論理レベルに増幅される。



本発明の第1の実施例の信号伝送回路

【特許請求の範囲】

【請求項1】 所定の特性インピーダンスを有する伝送線路と、

前記伝送線路の一端に接続された第1の入出力端子、第1の電源電位よりも低い終端電位に比べて小さい信号振幅で第1の2値信号を前記第1の入出力端子から前記伝送線路へ送信する第1の送信回路、及び前記伝送線路から前記第1の入出力端子へ送られてくる第2の2値信号を受信して所定の論理レベルに増幅する第1の受信回路を有する第1の半導体集積回路と、

前記伝送線路の他端に接続された第2の入出力端子、前記終端電位に比べて小さい信号振幅で前記第2の2値信号を前記第2の入出力端子から前記伝送線路へ送信する第2の送信回路、及び前記伝送線路から前記第2の入出力端子へ送られてくる前記第1の2値信号を受信して所定の論理レベルに増幅する第2の受信回路を有する第2の半導体集積回路とを、備えた信号伝送回路であって、前記第1の送信回路は、

前記終端電位と前記第1の入出力端子との間に接続され、第1論理レベル及び第2論理レベルを有する第1の送信信号に基づき、送信時には該第1の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、かつ該第1の送信信号の第2論理レベルでオフ状態となって開放状態となり、受信時には該第1論理レベルに設定された第1の制御信号によってオン状態となる第1の抵抗手段と、

前記第1の入出力端子と第2の電源電位との間に接続され、送信時には前記第1の送信信号の第1論理レベルでオフ状態となって開放状態となり、かつ前記第1の送信信号の第2論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、受信時には前記第1論理レベルに設定された前記第1の制御信号によってオフ状態となる第2の抵抗手段とを備え、

前記第2の送信回路は、

前記終端電位と前記第2の入出力端子との間に接続され、前記第1論理レベル及び前記第2論理レベルを有する第2の送信信号に基づき、送信時には該第2の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、かつ該第2の送信信号の第2論理レベルでオフ状態となって開放状態となり、受信時には該第1論理レベルに設定された第2の制御信号によってオン状態となる第3の抵抗手段と、前記第2の入出力端子と前記第2の電源電位との間に接続され、送信時には前記第2の送信信号の第1論理レベルでオフ状態となって開放状態となり、かつ前記第2の送信信号の第2論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、受信時には前記第1論理レベルに設定された前記第2の制御信号によってオフ状態となる第4の抵抗手段とを備えた、ことを特徴とする信号伝送回路。

【請求項2】 請求項1記載の信号伝送回路において、前記第1の受信回路は、基準電位と、前記第1の入出力端子へ送られてくる前記第2の2値信号の電位とを、差動増幅して前記所定の論理レベルの第2の受信信号を出力する構成にし、

前記第2の受信回路は、前記基準電位と、前記第2の入出力端子へ送られてくる前記第1の2値信号の電位とを、差動増幅して前記所定の論理レベルの第1の受信信号を出力する構成にしたことを特徴とする信号伝送回路。

【請求項3】 所定の特性インピーダンスを有する伝送線路と、

前記伝送線路の一端に接続された第1の入出力端子と、第1論理レベル及び第2論理レベルを有する第1の送信信号を入力して、第1の電源電位よりも低い終端電位に比べて小さい信号振幅で第1の2値信号を前記第1の入出力端子から前記伝送線路へ送信する第1の送信回路と、前記第1の送信信号を入力してその第1論理レベル及び第2論理レベルに基づき、前記第1の電源電位よりも低い第1の参照電位と第2の電源電位との間の電位差内で2種類の第1及び第2の基準電位を出力する第1の基準電位生成回路と、前記第1又は第2の基準電位と前記伝送線路から前記第1の入出力端子へ送られてくる第2の2値信号とを差動増幅して所定の論理レベルの第2の受信信号を出力する第1の受信回路とを有する第1の半導体集積回路と、

前記伝送線路の他端に接続された第2の入出力端子と、前記第1論理レベル及び前記第2論理レベルを有する第2の送信信号を入力して、前記終端電位に比べて小さい信号振幅で前記第2の2値信号を前記第2の入出力端子から前記伝送線路へ送信する第2の送信回路と、前記第2の送信信号を入力してその第1論理レベル及び第2論理レベルに基づき、前記第1の電源電位よりも低い第2の参照電位と前記第2の電源電位との間の電位差内で2種類の第3及び第4の基準電位を出力する第2の基準電位生成回路と、前記第3又は第4の基準電位と前記伝送線路から前記第2の入出力端子へ送られてくる前記第1の2値信号とを差動増幅して前記所定の論理レベルの第1の受信信号を出力する第2の受信回路とを有する第2の半導体集積回路とを、備えた信号伝送回路であって、前記第1の送信回路は、

前記終端電位と前記第1の入出力端子との間に接続され、前記第1の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、前記第1の送信信号の第2論理レベルでオフ状態となって開放状態となる第1の抵抗手段と、前記第1の入出力端子と前記第2の電源電位との間に接続され、前記第1の送信信号の第1論理レベルでオフ状態となって開放状態となり、前記第1の送信信号の第2論理レベルでオン状態となって前記特性インピーダンス

と等しいインピーダンスとなる第2の抵抗手段とを備え、

前記第2の送信回路は、

前記終端電位と前記第2の入出力端子との間に接続され、前記第2の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、前記第2の送信信号の第2論理レベルでオフ状態となって開放状態となる第3の抵抗手段と、

前記第2の入出力端子と前記第2の電源電位との間に接続され、前記第2の送信信号の第1論理レベルでオフ状態となって開放状態となり、前記第2の送信信号の第2論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなる第4の抵抗手段とを備えた、ことを特徴とする信号伝送回路。

【請求項4】 請求項1、2又は3記載の信号伝送回路において、

前記第1、第2、第3及び第4の抵抗手段は、オン状態の時に前記特性インピーダンスと等しいインピーダンスを有するトランジスタで、それぞれ構成したことを特徴とする信号伝送回路。

【請求項5】 請求項1、2又は3記載の信号伝送回路において、

前記第1、第2、第3及び第4の抵抗手段は、オン状態の時に第1のインピーダンスを有するトランジスタと、前記トランジスタと直列に接続され第2のインピーダンスを有する抵抗とをそれぞれ備え、前記第1と第2のインピーダンスの合計が前記特性インピーダンスと等しい値に設定された信号伝送回路。

【請求項6】 請求項3記載の信号伝送回路において、

前記第1及び第2の基準電位生成回路は、

前記参照電位と出力ノードとの間に接続され、前記送信信号の論理レベルに応じてオン／オフ状態となり、オン状態の時に所定のインピーダンスを有する第1抵抗手段と、

前記出力ノードと前記第2の電源電位との間に接続され、

前記送信信号の論理レベルに応じて、前記第1抵抗手段に対して相補的にオン／オフ状態となり、オン状態の時に所定のインピーダンスを有する第2抵抗手段と、前記第1抵抗手段と並列に接続され、所定のインピーダンスを有する第1抵抗と、

前記第2抵抗手段と並列に接続され、所定のインピーダンスを有する第2抵抗とで、それぞれ構成したことを特徴とする信号伝送回路。

【請求項7】 請求項6記載の信号伝送回路において、前記第1抵抗手段及び前記第2抵抗手段は、オン状態の時に所定のインピーダンスを有するトランジスタで、それぞれ構成したことを特徴とする信号伝送回路。

【請求項8】 請求項6記載の信号伝送回路において、前記第1抵抗手段及び前記第2抵抗手段は、オン状態の時に所定のインピーダンスを有するトランジスタと、所

定のインピーダンスを有する抵抗との直列回路で、それぞれ構成したことを特徴とする信号伝送回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、相補型MOSトランジスタ（以下、CMOSという）技術等によって製造される半導体集積回路（以下、ICという）間において、高レベル（以下、“H”という）と低レベル（以下、“L”という）の論理レベルを有する2値信号を送受信するためのインタフェース回路である信号伝送回路に関するものである。

【0002】

【従来の技術】従来、この種の信号伝送回路に関する技術としては、例えば、次のような文献に記載されるものがあつた。

文献；日経エレクトロニクス、556（1992-6-8）日経マグロウヒル社、P. 110-113

前記文献に記載されているように、近年、CMOS技術により製造される複数のIC間における2値信号の送受信速度の高速化に伴い、従来使用されてきた公知のTTL（トランジスタ・トランジスタ・ロジック）レベルあるいはCMOSレベルでの信号送受信が困難になっている。この理由としては、例えば、TTLレベル及びCMOSレベルにおける送信回路の出力振幅がそれぞれ2V以上、及び約5Vと大きいため、高速動作に不利であるためである。さらに、スイッチング雑音、電源・接地（以下、GNDという）間の変動等の影響によって複数のICを実装するプリント基板、例えば中央処理装置（以下、CPUという）ボード等の設計が著しく困難になるためである。これらの問題を解決するために、TTLレベル及びCMOSレベルより信号振幅を小さくして高速な信号伝送を実現する図2のような信号伝送回路が提案されている。

【0003】図2は、従来の信号伝送回路の回路図である。この信号伝送回路は、ポイント・トゥー・ポイント形式のインタフェース回路であり、図示しないプリント基板上に形成された伝送線路10を有している。伝送線路10の一端のオフチップ端子11には、終端用抵抗13を介して終端電位 V_t が印加されると共に、IC20が接続されている。伝送線路10の他端のオフチップ端子12には、IC30が接続されている。IC20は、オフチップ端子11上の電位と基準電位 V_r とを比較、増幅する差動型増幅回路（以下、差動アンプという）21aからなる受信回路21と、該受信回路21の出力信号を処理する内部回路22とで、構成されている。IC30は、送信信号を出力する内部回路31と、該送信信号に基づき2値信号を出力する送信回路32とで、構成されている。送信回路32は、CMOSインバータ32aと、該CMOSインバータ32aの出力電位によってゲート制御されるNチャネル型MOSFET（以下、N

MOSという) 32bとで、構成されている。

【0004】図2の信号伝送回路は、例えば3.3Vの電源電位 V_{cc} で動作するIC20及びIC30において、そのIC30からIC20へ2値信号を伝送するインタフェース回路である。図示しないプリント基板上に形成された伝送線路10は、 $50\Omega \sim 70\Omega$ の特性インピーダンス LZ を有し、これと等しいインピーダンスを有する抵抗13により、電源電位 V_{cc} よりも低い例えば1.2V \sim 2.0Vの終端電位 V_t に終端される。例えば、伝送線路10の特性インピーダンス LZ が 50Ω 、終端電位 $V_t = 1.2V$ 、NMOS32bのオン状態出力インピーダンスが 25Ω に設定されている。内部回路31からCMOSレベルの送信信号が出力されると、その送信信号が送信回路32内のCMOSインバータ32aで反転され、該CMOSインバータ32aの出力電位によってNMOS32bがオン/オフされる。これにより、伝送線路10は、“H”が1.2V($=V_t$)、“L”が0.4Vの2値信号で駆動される。IC30から出力された2値信号が伝送線路10を通してIC20へ送られると、その2値信号が受信回路21内の差動アンプ21aによって基準電位 V_r (例えば、0.8V)と比較され、該伝送線路10から送られてきた2値信号の“H”/“L”が検出され、さらに該差動アンプ21aでCMOSレベルに増幅されて内部回路22へ送られる。

【0005】伝送線路10を伝搬する2値信号の信号振幅は0.8Vと小さく、また、該伝送線路10の一端のオフチップ端子11には該伝送線路10の特性インピーダンス LZ と等しいインピーダンスを有する抵抗13によって終端されてインピーダンス整合されている。そのため、伝送線路10上の送信回路32の出力波形に対して歪みの少ない波形を伝送でき、CMOSレベルあるいはTTLレベルでの信号伝送に比較して高速かつ低雑音の信号伝送が可能となる。

【0006】

【発明が解決しようとする課題】図2の信号伝送回路では、CMOSレベルやTTLレベルの信号伝送に比べて高速な信号伝送が可能になるが、伝送線路10のインピーダンス整合を行うことが必要なので、ICチップの外部に終端用の抵抗13を実装している。そのため、実装面積の増大や、それに伴うコストの増大等といった不利益があり、これらを解決することが困難であった。本発明は、前記従来技術が持っていた課題を解決し、外付けの終端用抵抗の削減による実装面積の縮小とコストの低減、及びICチップ内に終端用抵抗を内蔵させてその抵抗値の精度の向上等を図った信頼性の高い信号伝送回路を提供するものである。

【0007】

【課題を解決するための手段】第1及び第2の発明は、前記課題を解決するために、信号伝送回路において、所

定の特性インピーダンス(例えば、 LZ)を有する伝送線路と、前記伝送線路の一端に接続された第1のICと、前記伝送線路の他端に接続された第2のICとを備えている。第1のICは、前記伝送線路の一端に接続された第1の入出力端子と、第1の電源電位(例えば、 V_{cc})よりも低い終端電位(例えば、 V_t)に比べて小さい信号振幅で第1の2値信号を前記第1の入出力端子から前記伝送線路へ送信する第1の送信回路と、前記伝送線路から前記第1の入出力端子へ送られてくる第2の2値信号を受信して所定の論理レベルに増幅する第1の受信回路とを、有している。第2のICは、前記伝送線路の他端に接続された第2の入出力端子と、前記終端電位に比べて小さい信号振幅で前記第2の2値信号を前記第2の入出力端子から前記伝送線路へ送信する第2の送信回路と、前記伝送線路から前記第2の入出力端子へ送られてくる前記第1の2値信号を受信して所定の論理レベルに増幅する第2の受信回路とを、有している。

【0008】前記第1の送信回路は第1の抵抗手段と第2の抵抗手段とを備え、さらに前記第2の送信回路は第3の抵抗手段と第4の抵抗手段とを備えている。第1の抵抗手段は、前記終端電位と前記第1の入出力端子との間に接続され、第1論理レベル(例えば、“H”)及び第2論理レベル(例えば、“L”)を有する第1の送信信号に基づき、送信時には該第1の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、かつ該第1の送信信号の第2論理レベルでオフ状態となって開放状態となり、受信時には該第1論理レベルに設定された第1の制御信号によってオン状態となるものである。第2の抵抗手段は、前記第1の入出力端子と第2の電源電位(例えば、接地電位 V_{ss})との間に接続され、送信時には前記第1の送信信号の第1論理レベルでオフ状態となって開放状態となり、かつ前記第1の送信信号の第2論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、受信時には前記第1論理レベルに設定された前記第1の制御信号によってオフ状態となるものである。

【0009】第3の抵抗手段は、前記終端電位と前記第2の入出力端子との間に接続され、前記第1論理レベル及び前記第2論理レベルを有する第2の送信信号に基づき、送信時には該第2の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、かつ該第2の送信信号の第2論理レベルでオフ状態となって開放状態となり、受信時には該第1論理レベルに設定された第2の制御信号によってオン状態となるものである。また、第4の抵抗手段は、前記第2の入出力端子と前記第2の電源電位との間に接続され、送信時には前記第2の送信信号の第1論理レベルでオフ状態となって開放状態となり、かつ前記第2の送信信号の第2論理レベルでオン状態となって前記特性イン

ピーダンスと等しいインピーダンスとなり、受信時には前記第1論理レベルに設定された前記第2の制御信号によってオフ状態となるものである。

【0010】第3～第8の発明は、信号伝送回路において、所定の特性インピーダンスを有する伝送線路と、前記伝送線路の一端に接続された第1のICと、前記伝送線路の他端に接続された第2のICとを備えている。第1のICは、前記伝送線路の一端に接続された第1の入出力端子と、第1論理レベル及び第2論理レベルを有する第1の送信信号を入力して、第1の電源電位よりも低い終端電位に比べて小さい信号振幅で第1の2値信号を前記第1の入出力端子から前記伝送線路へ送信する第1の送信回路と、前記第1の送信信号を入力してその第1論理レベル及び第2論理レベルに基づき、前記第1の電源電位よりも低い第1の参照電位と第2の電源電位との間の電位差内で2種類の第1及び第2の基準電位を出力する第1の基準電位生成回路と、前記第1又は第2の基準電位と前記伝送線路から前記第1の入出力端子へ送られてくる第2の2値信号とを差動増幅して所定の論理レベルの第2の受信信号を出力する第1の受信回路とを有する回路である。

【0011】第2のICは、前記伝送線路の他端に接続された第2の入出力端子と、前記第1論理レベル及び前記第2論理レベルを有する第2の送信信号を入力して、前記終端電位に比べて小さい信号振幅で前記第2の2値信号を前記第2の入出力端子から前記伝送線路へ送信する第2の送信回路と、前記第2の送信信号を入力してその第1論理レベル及び第2論理レベルに基づき、前記第1の電源電位よりも低い第2の参照電位と前記第2の電源電位との間の電位差内で2種類の第3及び第4の基準電位を出力する第2の基準電位生成回路と、前記第3又は第4の基準電位と前記伝送線路から前記第2の入出力端子へ送られてくる前記第1の2値信号とを差動増幅して前記所定の論理レベルの第1の受信信号を出力する第2の受信回路とを有する回路である。

【0012】前記第1の送信回路は第1の抵抗手段と第2の抵抗手段とを備え、さらに第2の送信回路は第3の抵抗手段と第4の抵抗手段とを備えている。第1の抵抗手段は、前記終端電位と前記第1の入出力端子との間に接続され、前記第1の送信信号の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、前記第1の送信信号の第2論理レベルでオフ状態となって開放状態となるものである。第2の抵抗手段は、前記第1の入出力端子と前記第2の電源電位との間に接続され、前記第1の送信信号の第1論理レベルでオフ状態となって開放状態となり、前記第1の送信信号の第2論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなるものである。

【0013】第3の抵抗手段は、前記終端電位と前記第2の入出力端子との間に接続され、前記第2の送信信号

の第1論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなり、前記第2の送信信号の第2論理レベルでオフ状態となって開放状態となるものである。また、第4の抵抗手段は、前記第2の入出力端子と前記第2の電源電位との間に接続され、前記第2の送信信号の第1論理レベルでオフ状態となって開放状態となり、前記第2の送信信号の第2論理レベルでオン状態となって前記特性インピーダンスと等しいインピーダンスとなるものである。

【0014】

【作用】第1及び第2の発明によれば、第1の電源電位よりも低い終端電位に比べて小さい信号振幅で、第1の2値信号を第1のICから出力すれば、その第1の2値信号が伝送線路を介して第2のICへ送られる。この際、第1のIC内の第1の送信回路では、第1の送信信号の第1論理レベルで第1の抵抗手段がオン状態となって伝送線路の特性インピーダンスと等しいインピーダンスとなり、さらに、第2の抵抗手段がオフ状態となって開放状態となる。また、第1の送信信号が第2論理レベルの時には、第1の抵抗手段がオフ状態となって開放状態となり、さらに、第2の抵抗手段がオン状態となって伝送線路の特性インピーダンスと等しいインピーダンスとなる。これにより、第1の送信回路から第1の2値信号が出力され、その第1の2値信号が伝送線路を介して第2のICへ送られる。第2のIC内の第2の受信回路では、伝送線路から送られてきた第1の2値信号を受信して所定の論理レベルに増幅する。終端電位に比べて小さい信号振幅で第2の2値信号を第2のICから出力すれば、その第2の2値信号が伝送線路を介して第1のICへ送られる。この際、第2のIC内の送信動作と第1のIC内の受信動作とは、前記第1の2値信号の送受信動作と同様の動作となる。

【0015】第3～第8の発明によれば、第1のIC内において、第1の送信信号に基づき第1の電源電位よりも低い終端電位に比べて小さい信号振幅で、第1の2値信号を第1の送信回路から出力すれば、その第1の2値信号が伝送線路を介して第2のICへ送られ、その第2のIC内の第2の受信回路で受信される。この際、第1のIC内の第1の送信回路では、第1の送信信号の第1論理レベルで第1の抵抗手段がオン状態となって伝送線路の特性インピーダンスと等しいインピーダンスとなり、さらに第2の抵抗手段がオフ状態となって開放状態となる。また、第1の送信信号が第2論理レベルの時、第1の抵抗手段がオフ状態となって開放状態となり、さらに第2の抵抗手段がオン状態となって伝送線路の特性インピーダンスと等しいインピーダンスとなる。これにより、第1の送信回路から第1の2値信号が出力され、それが伝送線路を介して第2のICへ送られる。第2のIC内において、第2の基準電位生成回路では、第3又は第4の基準電位を生成し、それを第2の受信回路へ与

える。第2の受信回路では、第3又は第4の基準電位と、伝送線路から送られてきた第1の2値信号とを差動増幅して所定の論理レベルの第1の受信信号を出力する。

【0016】このような第1の2値信号の伝送動作を行っている時に、第2のIC内において第2の送信回路は第2の送信信号に基づき、前記第1の送信回路と同様にして、終端電位に比べて小さい信号振幅で第2の2値信号を出力する。この第2の2値信号は、伝送線路を介して第1のICへ送られる。第1のIC内では、第1の送信信号に基づき第1の基準電位生成回路によって第1又は第2の基準電位が生成され、それが第1の受信回路に与えられる。第1の受信回路では、第1又は第2の基準電位と、伝送線路から送られてくる第2の2値信号とを差動増幅して所定の論理レベルの第2の受信信号を出力する。これにより、第1の2値信号と第2の2値信号とを、同時に伝送線路を介して第1のICと第2のIC間で送受信が行える。

【0017】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示す信号伝送回路の構成図である。この信号伝送回路は、2つのIC間のポイント・トゥー・ポイント形式のインタフェース回路であり、図示しないプリント基板上にマイクロストリップ線等の伝送線路40が形成されている。図1では、伝送線路40がモデル化して示されている。伝送線路40の一端には第1の入出力端子であるオフチップ入出力端子41が接続され、他端には第2の入出力端子であるオフチップ入出力端子42が接続されている。入出力端子41には第1のIC50が、入出力端子42には第2のIC60がそれぞれ接続されている。第1のIC50内には、入出力端子41に共通接続された第1の送信回路51及び第1の受信回路52と、それらの送信回路51及び受信回路52に接続された内部論理回路53とを、有している。内部論理回路53は、送信時において第1論理レベル（例えば、“H”）及び第2論理レベル（例えば、“L”）を有するCMOS論理レベルからなる第1の送信信号S53を送信回路51に与えたり、受信時において受信回路52からのCMOS論理レベルの第2の受信信号S52を入力して所定の処理等を行う回路である。

【0018】送信回路51は、送信信号S53を入力し、第1の電源電位（例えば、 $V_{cc}=3.3V$ ）よりも低い終端電位 V_t に比べて小さい信号振幅で、第1の2値信号S50を入出力端子41から伝送線路40へ送信する回路であり、第1の抵抗手段51a、第2の抵抗手段51b、及び抵抗手段制御回路51cを有している。第1の抵抗手段51aは、IC50の外部より供給される終端電位 V_t と入出力端子41との間に接続され、抵

抗手段制御回路51cに入力される送信信号S53に基づき、送信時にはその信号S53の“H”でオン状態となって伝送線路40の特性インピーダンス LZ と等しいインピーダンスとなり、かつその信号S53の“L”でオフ状態（開放状態）となり、受信時にはその信号S53の“H”によってオン状態となる回路である。第2の抵抗手段51bは、入出力端子41と第2の電源電位（例えば、接地電位 V_{ss} ）との間に接続され、送信時には抵抗手段制御回路51cに入力される送信信号S53の“H”でオフ状態（開放状態）となり、かつその信号S53の“L”でオン状態となって伝送線路40の特性インピーダンス LZ と等しいインピーダンスとなり、受信時にはその信号S53の“H”によってオフ状態となる回路である。

【0019】受信回路52は、基準電位 V_r と、伝送線路40から入出力端子41へ送られてくる第2の2値信号S60の電位とを、差動増幅してCMOS論理レベルの第2の受信信号S52を内部論理回路53へ出力する回路であり、例えば差動アンプ52aで構成されている。第2のIC60は、第1のIC50と同一の回路構成であり、CMOS論理レベルからなる第2の送信信号S63を入力して終端電位 V_t に比べて小さい信号振幅で第2の2値信号S60を入出力端子42から伝送線路40へ送信する送信回路61と、伝送線路40から入出力端子42へ送られてくる第1の2値信号S50の電位と基準電位 V_r とを差動増幅してCMOS論理レベルからなる第1の受信信号S62を出力する受信回路62と、第2の送信信号S63を出力したり、第1の受信信号S62を入力して所定の処理等を行う内部論理回路63とを、備えている。

【0020】送信回路61は、第3、第4の抵抗手段61a、61b、及び抵抗手段制御回路61cを有している。第3の抵抗手段61aは、終端電位 V_t と入出力端子42との間に接続され、抵抗手段制御回路61cに入力される送信信号S63に基づき、送信時にはその信号S63の“H”でオン状態となって伝送線路40の特性インピーダンス LZ と等しいインピーダンスとなり、かつその信号S63の“L”でオフ状態（開放状態）となり、受信時にはその信号S63の“H”によってオン状態となる回路である。第4の抵抗手段61bは、入出力端子42と接地電位 V_{ss} との間に接続され、送信時には抵抗手段制御回路61cに入力される送信信号S63の“H”でオフ状態（開放状態）となり、かつその信号S63の“L”でオン状態となって伝送線路40の特性インピーダンス LZ と等しいインピーダンスとなり、受信時にはその信号S63の“H”によってオフ状態となる回路である。受信回路62は、例えば差動アンプ62aで構成されている。第1のIC50内の送信回路51及び受信回路52と第2のIC60内の送信回路61及び受信回路62とは、同一の回路で構成されており、それ

らは種々の回路で構成可能であるが、それらの構成例を図3及び図4に示す。

【0021】図3は、図1中の送信回路51の構成例を示す回路図である。この送信回路51では、抵抗手段51a、51bがNMOS71、72でそれぞれ構成されている。抵抗手段制御回路51cは、内部論理回路53から与えられる信号S53をそのままNMOS71のゲートへ与えると共に、該送信信号S53をCMOSインバータ73で反転してNMOS72のゲートへ与える回路である。各NMOS71、72のオン状態時の抵抗値（オン抵抗値）は、例えば50Ωに設定されている。この送信回路51では、内部論理回路53から与えられる信号S53が“H”の時、NMOS71がオン状態となる。信号S53はインバータ73で反転されて“L”となり、その“L”によってNMOS72がオフ状態となる。信号S53が“L”の時は、NMOS71がオフ状態、NMOS72がオン状態となる。このようなNMOS71、72のオン/オフ動作によって2値信号S50が出力される。

【0022】図4は、図1中の差動アンプ52aの構成例を示す回路図である。この差動アンプ52aは、増幅部と出力部で構成されている。増幅部は、第2のIC60からの2値信号S60によってオン/オフ動作するPチャネル型MOSFET（以下、PMOSという）81と、基準電位Vrでオン/オフ動作するPMOS82と、定電流源用のPMOS83と、負荷用のNMOS84、85とで構成されている。出力部は、電源電位Vccと接地電位Vssとの間に接続されたPMOS86及びNMOS87で構成されている。この差動アンプ52aでは、基準電位Vrと信号S60の電位との大小関係に応じてPMOS81又は82がオン/オフ動作し、その基準電位Vrと信号S60の電位との差が増幅され、その増幅値がPMOS86及びNMOS87からなる出力部で駆動され、CMOS論理レベルの受信信号S52が出力され、第1のIC50内の内部論理回路53へ与えられるようになっていく。以上のように構成される図1の信号伝送回路では、第1のIC50から出力された第1の2値信号S50が伝送線路40を通して第2のIC60へ伝送され、また、その第2のIC60から出力された第2の2値信号S60が伝送線路40を通して第1のIC50へ伝送される。

【0023】ここで、例えば、伝送線路40の特性インピーダンスLZが50Ω、終端電位Vtが1.2V、各抵抗手段51a、51b、61a、61bのオン抵抗値がそれぞれ50Ωに設定されている。本実施例の信号伝送回路は、単方向の信号伝送を行う回路であり、以下その動作(1)～(3)を説明する。

(1) IC60からIC50への第2の2値信号S60の伝送動作

(1)(a) 信号S60が“L”の伝送

IC60内の内部論理回路63からCMOS論理レベルの“L”の送信信号S63が出力されて送信回路61へ与えられている場合、該送信回路61内の抵抗手段制御回路63cでは、抵抗手段61aがオフ状態（開放状態）となるような信号（例えば、CMOS論理レベルの“L”）を出力すると共に、抵抗手段61bがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力する。これにより、抵抗手段61aがオフ状態、抵抗手段61bがオン状態になる。この時、IC50内において、内部論理回路53からはCMOS論理レベルの“H”の制御信号S53が出力され、送信回路51内の抵抗手段制御回路51cへ与えられる。抵抗手段制御回路51cでは、抵抗手段51aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段51bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段51aがオン状態、抵抗手段51bがオフ状態になる。よって、伝送線路40内の電位V_{OL}は、終端電位Vtと抵抗手段51a、61bによって決まる。この場合、V_{OL}=0.6Vに設計されている。IC50内の受信回路52の差動アンプ52aでは、例えば、0.9Vに設定された基準電位Vrと、伝送線路40から入出力端子41に入力される電位0.6Vの信号S60とを比較し、CMOS論理レベルの“L”の受信信号S52を出力し、内部論理回路53へ送る。

【0024】(1)(b) 信号S60が“H”の伝送
IC60内の内部論理回路63からCMOS論理レベルの“H”の送信信号S63が出力されて送信回路61内の抵抗手段制御回路61cに与えられている場合、該抵抗手段制御回路61cでは、抵抗手段61aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段61bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段61aがオン状態、抵抗手段61bがオフ状態になる。この時、IC50内では、内部論理回路53からCMOS論理レベルの“H”の制御信号が出力されて送信回路51内の抵抗手段制御回路51cへ与えられる。そのため、制御手段制御回路51cでは、抵抗手段51aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段51bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段51aがオン状態、抵抗手段51bがオフ状態になる。よって、伝送線路40内の電位V_{OH}は、終端電位Vtによって決まる。この場合は、V_{OH}=1.2Vに設計されている。IC50内の受信回路52は、例えば、0.9Vに設定された基準電位Vrと、伝送線路40から入出力端子41に入力される電位1.2Vの信号S60とを差動アンプ52aで比較

し、CMOS論理レベルの“H”の受信信号S52を出力して内部論理回路53へ送る。このように、IC60からIC50へ信号S60を伝送させる回路動作の場合、そのIC50内の送信回路51は、常に抵抗手段51aがオン状態、抵抗手段51bがオフ状態を保ち、その抵抗手段51aが従来の図2の終端用抵抗13と同等の役割をする。この時、送信回路51は、送信回路としての働きはしない。

(2) IC50からIC60への第1の2値信号S50の伝送動作

IC50からIC60へ信号S50を伝送させる回路動作は、前記IC60からIC50へ信号S60を伝送させる回路動作と同様である。

【0025】(2)(a) 信号S50が“L”の伝送
IC50内の内部論理回路53からCMOS論理レベルの“L”の送信信号S53が出力されて送信回路51内の抵抗手段制御回路51cへ与えられている場合、該抵抗手段制御回路51cでは、抵抗手段51aがオフ状態（開放状態）となるような信号（例えば、CMOS論理レベルの“L”）を出力すると共に、抵抗手段51bがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力する。これにより、抵抗手段51aがオフ状態、抵抗手段51bがオン状態になる。この時、IC60内では、内部論理回路63からCMOS論理レベルの“H”の制御信号が出力されて送信回路61内の抵抗手段制御回路63cへ与えられる。そのため、抵抗手段制御回路63cは、抵抗手段61aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段61bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段61aがオン状態、抵抗手段61bがオフ状態になる。よって、伝送線路40内の電位 V_{OL} は、終端電位 V_t と抵抗手段61a、51bによって決まる。この場合は、 $V_{OL}=0.6V$ に設計されている。IC60内の受信回路62は、例えば、 $0.9V$ に設定された基準電位 V_r と、伝送線路40から入出力端子42に入力される電位 $0.6V$ の信号S50とを、差動アンプ62aで比較し、CMOS論理レベルの“L”の受信信号S62を出力して内部論理回路63へ与える。

【0026】(2)(b) 信号S50が“H”の伝送
IC50内の内部論理回路53からCMOS論理レベルの“H”の送信信号S53が出力されて抵抗手段制御回路51cに与えられている場合、該抵抗手段制御回路51cでは、抵抗手段51aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段51bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段51aがオン状態、抵抗手段51bがオフ状態になる。この時、IC60内では、内部論理回

路63からCMOS論理レベルの“H”の制御信号を出力し、抵抗手段制御回路61cへ与える。そのため、抵抗手段制御回路61cは、抵抗手段61aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段61bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段61aがオン状態、抵抗手段61bがオフ状態になる。よって、伝送線路40内の電位 V_{OH} は、終端電位 V_t によって決まる。この場合は、 $V_{OH}=1.2V$ に設計されている。IC60内の受信回路62は、例えば、 $0.9V$ に設定された基準電位 V_r と、伝送線路40から入出力端子42に入力される電位 $1.2V$ の信号S50とを、差動アンプ62aで比較し、CMOS論理レベルの“H”の受信信号S62を出力し、内部論理回路63へ与える。

【0027】(3) 伝送動作のまとめ

前記(1)、(2)で説明したように、IC50からIC60へ信号S50を伝送させる回路動作の場合、そのIC60内の送信回路61は、常に抵抗手段61aがオン状態で、抵抗手段61bがオフ状態を保ち、該抵抗手段61aが従来の図2中の終端用抵抗13と同等の役割をする。この時、送信回路61は送信回路としての働きはしない。IC60からIC50へ“L”の信号S60の伝送を行う場合（前記(1)(a)の場合）、伝送線路40の両端は、その伝送線路40の特性インピーダンス LZ と等しいインピーダンスを有する抵抗手段51a、61bにより終端されてインピーダンス整合される。IC60からIC50へ“H”の信号S60の伝送を行う場合（前記(1)(b)の場合）、伝送線路40の両端は、特性インピーダンス LZ と等しいインピーダンスを有する抵抗手段51a、61aにより終端されてインピーダンス整合される。IC50からIC60へ“L”の信号S50の伝送を行う場合（前記(2)(a)の場合）、伝送線路40の両端は、特性インピーダンス LZ と等しいインピーダンスを有する抵抗手段61a、51bにより終端されてインピーダンス整合される。IC50からIC60へ“H”の信号S50の伝送を行う場合（前記(2)(b)の場合）、伝送線路40の両端は、特性インピーダンス LZ と等しいインピーダンスを有する抵抗手段51a、61aにより終端されてインピーダンス整合される。これらいずれの場合においても、伝送線路40の両端は、その伝送線路40の特性インピーダンス LZ と等しいインピーダンスを有する抵抗手段でインピーダンス整合される。そのため、伝送線路40上の送信回路の出力波形に対し、歪みの少ない波形を伝送できる。従って、従来のCMOSレベルあるいはTTLレベルでの信号伝送に比較して高速かつ低雑音の信号伝送が可能である。以上、図1の基本的な回路動作を説明したが、これは従来の図2の回路と同様に、伝送線路40の信号振幅が $0.6V$ と小さいため、CMOSレベ

ルあるいはTTLレベルに比べて高速な信号伝送が可能である。

【0028】この第1の実施例では、次のような効果(i)、(ii)がある。

(i) 本実施例では、伝送線路端でのインピーダンス整合を行う終端用抵抗がオンチップ化されている(IC50及びIC60内部に形成されている)。そのため、従来の図2のようにプリント基板上に終端用抵抗13を実装する必要がない。従って、外付けの終端抵抗部品の削減によって抵抗部品のコストを低減できる。

(ii) 本実施例では、伝送線路端でのインピーダンス整合を行う終端用抵抗がオンチップ化されている(IC50及びIC60内部に形成されている)。集積回路は、微細加工技術によって半導体上に形成されるため、同じ抵抗値をもつ抵抗素子を形成するならば、抵抗部品のプリント基板上に実装するのに比べ、大幅に素子面積を小さくすることができる。従って、外付けの終端抵抗部品の削減によって実装面積を大幅に縮小できる。

【0029】第2の実施例

図5は、本発明の第2の実施例を示すもので、図1中の他の送信回路の構成例を示す回路図であり、第1の実施例を示す図3中の要素と共通の要素には共通の符号が付されている。この送信回路では、第1の抵抗手段51aが、NMOS71a及び抵抗71bの直列回路で構成され、さらに第2の抵抗手段51bが、NMOS72a及び抵抗72bの直列回路で構成されている点のみが、図3と異なっている。第1の実施例の図3の回路条件において、その図3のNMOS71、72のオン抵抗値を所定の抵抗値(例えば、50Ω)に設計する必要がある。これに対し、本実施例の図5の送信回路では、NMOS71aと抵抗71bの合成抵抗値を50Ω、さらにNMOS72aと抵抗72bの合成抵抗値を50Ωに設計し、該NMOS71aと72aのオン抵抗値を50Ωよりも充分低く設計している。抵抗71b、72bは、例えば拡散抵抗等で形成されている。このような送信回路では、図3と同様に、図1の内部論理回路53から送信信号S53が与えられると、抵抗手段制御回路51cによってNMOS71aがオン/オフ動作すると共に、該送信信号S53がCMOSインバータ73で反転され、その反転信号によってNMOS72aがオン/オフ動作する。このNMOS71a、72aのオン/オフ動作により、2値信号S50が入出力端子41へ出力され、図1の伝送線路40へ送られる。

【0030】本実施例では、次のような効果がある。図3の送信回路では、NMOS71と72のオン抵抗値を所定の抵抗値に設計している。ところが、近年の微細加工技術によるMOSTランジスタの製造技術では、NMOS71、72のゲート長を精度良く安定した値で製造することが難しく、仕上がりオン抵抗値がばらつくことがある。そのため、図3の送信回路では、NMOS7

1、72のゲート長の仕上がり値のばらつきがそのまま抵抗手段51a、51bのばらつきとなる。これに対し、この図5の送信回路では、NMOS71a、72aのゲート長の仕上がり値のばらつきに対して、抵抗71b、72bの抵抗値によってそのばらつきを抑制できるので、抵抗手段51a、51bのオン抵抗値の変動が少ない送信回路を提供できる。

【0031】第3の実施例

図6は、本発明の第3の実施例を示す信号伝送回路の構成図であり、第1の実施例を示す図1中の要素と共通の要素には共通の符号が付されている。この信号伝送回路では、伝送線路40の一端に設けられたオフチップ入出力端子41に第1のIC50Aが接続され、さらにその伝送線路40の他端に設けられたオフチップ入出力端子42にIC60Aが接続されている。第1のIC50Aは、図1のIC50の全ての回路素子を内蔵する他に、新たに第1の基準電位生成回路54が設けられている。基準電位生成回路54の入力側は内部論理回路53の出力側に接続され、該基準電位生成回路54の出力側が差動アンプ52aの一方の入力端子に接続されている。差動アンプ52aの他方の入力端子は、入出力端子41に接続されている。基準電位生成回路54は、内部論理回路53から出力されるCMOS論理レベルの第1の送信信号(あるいは制御信号)S53を入力し、その信号S53の“H”又は“L”に基づき、終端電位Vtと接地電位Vssとの間の電位差内で2種類の第1及び第2の基準電位を出力し、その基準電位を差動アンプ52aの一方の入力端子に与える回路である。

【0032】第2のIC60Aは、図1のIC60内の全ての回路素子を内蔵する他に、新たに第2の基準電位生成回路64が設けられている。基準電位生成回路64の入力側は、内部論理回路63の出力側に接続され、該基準電位生成回路64の出力側が差動アンプ62aの一方の入力端子に接続されている。差動アンプ62aの他方の入力端子は、入出力端子42に接続されている。基準電位生成回路64は、内部論理回路63から出力されるCMOS論理レベルの第2の送信信号(あるいは制御信号)S63を入力し、その信号S63の“H”又は“L”に基づき、終端電位Vtと接地電位Vssとの間の電位差内で2種類の第3及び第4の基準電位を出力し、その基準電位を差動アンプ62aの一方の入力端子に与える回路である。このような基準電位生成回路54、64を設けることにより、IC50AとIC60Aとの間で、伝送線路40を介して同時に双方向に高速な信号伝送が可能となる。2つの基準電位生成回路54、64は、同一の機能を有し、種々の回路構成が考えられるが、その一方の基準電位生成回路54の構成例の回路図を図7に示す。

【0033】図7の基準電位生成回路54は、内部論理回路53から出力されるCMOS論理レベルの信号S5

3の“H”及び“L”に基づき、接地電位 V_{ss} ($=0$ V)から第1の参照電位 V_{ref} との間の電位差内で2種類の第1及び第2の基準電位を出力する回路である。第1の参照電位 V_{ref} は、電源電位 V_{cc} よりも低い電位である。この基準電位生成回路54は、入力される信号 S_{53} を反転するCMOSインバータ91と、該信号 S_{53} によってゲート制御されるNMOS92とを有し、そのインバータ91の出力側にNMOS93のゲートが接続されている。NMOS93のドレインはNMOS92のソースに接続され、該NMOS93のソースが接地電位 V_{ss} に接続されている。NMOS92のドレインは、参照電位 V_{ref} に接続されている。このNMOS92のドレインとソースとの間には抵抗94が並列に接続され、さらにNMOS93のドレインとソースの間にも抵抗95が接続され、それらの抵抗94と95の接続点が、出力ノード96となっている。

【0034】例えば、参照電位 $V_{ref} = 1.2$ V、抵抗94、95の抵抗値が 75Ω 、NMOS92、93のオン抵抗値が 37.5Ω に設定されている。CMOS論理レベルの信号 S_{53} が入力され、その信号 S_{53} が“H”の場合、NMOS92がオン状態、NMOS93がオフ状態となり、出力ノード96から 0.9 Vの基準電位が出力される。入力される信号 S_{53} が“L”の場合、NMOS92がオフ状態、NMOS93がオン状態になり、出力ノード96から 0.3 Vの基準電位が出力される。なお、IC60A内の基準電位生成回路64は、IC50A内の基準電位生成回路54と同一の回路構成であり、内部論理回路63から出力される第2の送信信号（あるいは制御信号） S_{63} を入力し、その“H”又は“L”に基づき、接地電位 V_{ss} と、電源電位 V_{cc} よりも低い第2の参照電位との間の電位差内で、2種類の第3及び第4の基準電位を出力する回路である。以上のように構成される信号伝送回路では、伝送線路40を介して、IC50AとIC60Aとの間で同時に双方向に2値信号 S_{50} 、 S_{60} を伝送する。例えば、伝送線路40の特性インピーダンス $1Z$ が 50Ω であり、終端電位 $V_t = 1.2$ Vに設定され、さらに送信回路51、61内の抵抗手段51a、51b、61a、61bのオン抵抗値が 50Ω に設定されているとする。この場合の信号伝送回路の動作(1)、(2)を説明する。

【0035】(1) スタンバイ状態での動作
スタンバイ状態とは、IC50AとIC60Aとの間で“H”あるいは“L”の信号を伝送することをいう。まず、このスタンバイ状態での基本的な回路動作として、基準電位生成回路54、64は、CMOS論理レベルの“H”が入力された時に 0.9 Vの基準電位を出力し、CMOS論理レベルの“L”が入力された時に 0.3 Vの基準電位を出力するとする。以下、このスタンバイ状態を次の4通りの場合(1)(a)～(1)(d)に分けて回路動作を説明する。

(1)(a): IC60AからIC50Aへ“L”の信号を伝送し続けていて、そのIC50AからIC60Aへ“L”の信号を伝送し続けている。

(1)(b): IC60AからIC50Aへ“H”の信号を伝送し続けていて、そのIC50AからIC60Aへ“L”の信号を伝送し続けている。

(1)(c): IC60AからIC50Aへ“L”の信号を伝送し続けていて、そのIC50AからIC60Aへ“H”の信号を伝送し続けている。

(1)(d): IC60AからIC50Aへ“H”の信号を伝送し続けていて、そのIC50AからIC60Aへ“H”の信号を伝送し続けている。

(1)(a): IC60AからIC50Aへ“L”の信号を伝送し続けていて、そのIC50AからIC60Aへ“L”の信号を伝送し続けている状態での回路動作
IC60A内の内部論理回路63からCMOS論理レベルの“L”の信号 S_{63} が出力されている場合、これに基づき抵抗手段制御回路61cは、抵抗手段61aがオフ状態（開放状態）となるような信号（例えば、CMOS論理レベルの“L”）を出力すると共に、抵抗手段61bがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力する。これにより、抵抗手段61aがオフ状態、抵抗手段61bがオン状態になる。基準電位生成回路64にはCMOS論理レベルの“L”の信号 S_{63} が入力されているので、その基準電位生成回路64から 0.3 Vの電位が出力されている。一方、IC50A内では、内部論理回路53からCMOS論理レベルの“L”の信号 S_{53} が出力されているので、これに基づき抵抗手段制御回路51cは、抵抗手段51aがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力すると共に、抵抗手段51bがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力する。これにより、抵抗手段51aがオフ状態、抵抗手段51bがオン状態となる。よって、伝送線路40内の電位 V_{LL} が 0 Vとなる。基準電位生成回路54にはCMOS論理レベルの“L”の信号 S_{53} が入力されているので、該基準電位生成回路54から 0.3 Vの電位が出力されている。

【0036】IC60A内の受信回路62は、基準電位生成回路64の出力電位 0.3 Vと、伝送線路40から入出力端子42に入力される電位 0 Vとを差動アンプ62aで比較し、該差動アンプ62aからCMOS論理レベルの“L”の信号 S_{62} を出力し、内部論理回路63へ与える。こうして、IC50A内の内部論理回路53から出力されたCMOS論理レベルの“L”の信号 S_{53} は、IC60A内の内部論理回路63へ伝送される。一方、IC50A内の受信回路52は、基準電位生成回路54の出力電位 0.3 Vと、伝送線路40から入出力端子41に入力される電位 0 Vとを差動アンプ52aで比較し、該差動アンプ52aからCMOS論理レベルの

“L”の信号S52を出力し、内部論理回路53へ与える。こうして、IC60A内の内部論理回路63から出力されたCMOS論理レベルの“L”の信号S63は、IC50A内の内部論理回路53へ伝送される。

【0037】(1)(b) IC60AからIC50Aへ“H”の信号を伝送し続けていて、そのIC50AからIC60Aへ“L”の信号を伝送し続けている状態での回路動作

IC60A内の内部論理回路63からCMOS論理レベルの“H”の信号S63が出力されている場合、これに基づき抵抗手段制御回路61cは、抵抗手段60aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段61bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段61aがオン状態、抵抗手段61bがオフ状態になる。基準電位生成回路64にはCMOS論理レベルの“H”の信号S63が入力されているので、該基準電位生成回路64から0.9Vの電位が出力されている。一方、IC50Aでは、内部論理回路53からCMOS論理レベルの“L”の信号S53が出力され、これに基づき抵抗手段制御回路51cは、抵抗手段51aがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力すると共に、抵抗手段51bがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力する。これにより、抵抗手段51aがオフ状態、抵抗手段51bがオン状態になる。よって、伝送線路40内の電位 V_{HL} は、終端電位 V_t と抵抗手段61a、51bによって決まる。この場合は、 $V_{HL}=0.6V$ に設計されている。基準電位生成回路54には、CMOS論理レベルの“L”の信号S53が入力されているので、該基準電位生成回路54から0.3Vの電位が出力されている。

【0038】IC60A内の受信回路62は、基準電位生成回路64の出力電位0.9Vと、伝送線路40から入出力端子42に入力される電位0.6Vとを差動アンプ62aで比較し、該差動アンプ62aからCMOS論理レベルの“L”の信号S62を出力し、内部論理回路63へ与える。こうして、IC50Aの内部論理回路53から出力されたCMOS論理レベルの“L”の信号S53は、IC60A内の内部論理回路63へ伝送される。一方、IC50A内の受信回路52は、基準電位生成回路54の出力電位0.3Vと、伝送線路40から入出力端子41に入力される電位0.6Vとを差動アンプ52aで比較し、該差動アンプ52aからCMOS論理レベルの“H”の信号S52を出力し、内部論理回路53へ与える。こうして、IC60A内の内部論理回路63から出力されたCMOS論理レベルの“H”の信号S63が、IC50A内の内部論理回路53へ伝送される。

【0039】(1)(c) IC60AからIC50Aへ

“L”の信号を伝送し続けていて、そのIC50AからIC60Aへ“H”の信号を伝送し続けている状態での回路動作

IC60A内の内部論理回路63からCMOS論理レベルの“L”の信号S63が出力されている場合、これに基づき抵抗手段制御回路61cは、抵抗手段61aがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力すると共に、抵抗手段61bがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力する。これにより、抵抗手段61aがオフ状態、抵抗手段61bがオン状態になる。基準電位生成回路64は、CMOS論理レベルの“L”の信号S63が入力されているので、0.3Vの電位を出力する。一方、IC50A内では、内部論理回路53からCMOS論理レベルの“H”の信号S53を出力する。これに基づき抵抗手段制御回路51cは、抵抗手段51aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段51bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。そのため、抵抗手段51aがオン状態、抵抗手段51bがオフ状態になる。よって、伝送線路40内の電位 V_{LH} は、終端電位 V_t と抵抗手段51a、61bによって決まる。この場合は、 $V_{LH}=0.6V$ に設計されている。基準電位生成回路54には、CMOS論理レベルの“H”の信号S53が入力されているので、該基準電位生成回路54から0.9Vの電位が出力されている。

【0040】IC60A内の受信回路62は、基準電位生成回路64の出力電位0.3Vと、伝送線路40から入出力端子42に入力される電位0.6Vとを差動アンプ62aで比較し、該差動アンプ62aからCMOS論理レベルの“H”の信号S62を出力し、内部論理回路63へ与える。こうして、IC50A内の内部論理回路53から出力されたCMOS論理レベルの“H”の信号S53が、IC60A内の内部論理回路63へ伝送される。一方、IC50A内の受信回路52は、基準電位生成回路54の出力電位0.9Vと、伝送線路40から入出力端子41に入力される電位0.6Vとを差動アンプ52aで比較し、該差動アンプ52aからCMOS論理レベルの“L”の信号S52を出力し、内部論理回路53へ与える。こうして、IC60A内の内部論理回路63から出力されたCMOS論理レベルの“L”の信号S63が、IC50A内の内部論理回路53へ伝送される。

【0041】(1)(d) IC60AからIC50Aへ“H”の信号を伝送し続けていて、そのIC50AからIC60Aへ“H”の信号を伝送し続けている状態での回路動作

IC60A内の内部論理回路63からCMOS論理レベルの“H”の信号S63が出力されている場合、これに

基づき抵抗手段制御回路61cは、抵抗手段61aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段61bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段61aがオン状態、抵抗手段61bがオフ状態になる。基準電位生成回路64では、CMOS論理レベルの“H”の信号S63が入力されているので、0.9Vの電位を出力する。一方、IC50A内では、内部論理回路53からCMOS論理レベルの“H”の信号S53が出力されているので、これに基づき抵抗手段制御回路51cは、抵抗手段51aがオン状態となるような信号（例えば、CMOS論理レベルの“H”）を出力すると共に、抵抗手段51bがオフ状態となるような信号（例えば、CMOS論理レベルの“L”）を出力する。これにより、抵抗手段51aがオン状態、抵抗手段51bがオフ状態になる。よって、伝送線路40内の電位 V_{OH} は $V_t = 1.2V$ になる。基準電位生成回路54にはCMOS論理レベルの“H”の信号S53が入力されているので、該基準電位生成回路54から0.9Vの電位が出力されている。

【0042】IC60A内の受信回路62は、基準電位生成回路64の出力電位0.9Vと、伝送線路40から入出力端子42に入力される電位1.2Vとを差動アンプ62aで比較し、該差動アンプ62aからCMOS論理レベルの“H”の信号S62を出力し、内部論理回路63へ与える。こうして、IC50A内の内部論理回路53から出力されたCMOS論理レベルの“H”の信号S53は、IC60A内の内部論理回路63へ伝送される。一方、IC50A内の受信回路52は、基準電位生成回路54の出力電位0.9Vと、伝送線路40から入出力端子41に入力される電位1.2Vとを差動アンプ52aで比較し、該差動アンプ52aからCMOS論理レベルの“H”の信号S52を出力し、内部論理回路53に与える。こうして、IC60A内の内部論理回路63から出力されたCMOS論理レベルの“H”の信号S63は、IC50A内の内部論理回路53へ伝送される。

【0043】このように、本実施例の信号伝送回路における送信回路51、61は0V、0.6V、1.2Vの3値の論理レベルの送信信号を出力する。IC50AからIC60Aへ“L”を伝送している時、そのIC60AからIC50Aへ伝送した“L”の送信信号をIC50Aで受信すると、0Vの電位を受信し、IC60AからIC50Aへ伝送した“H”の送信信号をIC50Aで受信すると、0.6Vの電位を受信する。IC50AからIC60Aへ“H”を伝送している時に、そのIC60AからIC50Aへ伝送した“L”の送信信号をIC50Aで受信すると、0.6Vの電位を受信し、IC60AからIC50Aへ伝送した“H”の送信信号をI

C50Aで受信すると、1.2Vの電位を受信する。これに対し、IC50A、IC60A内の受信回路52、62は、2種類の基準電位を場合に依りて参照して送信信号と比較し、CMOS論理レベルの信号S52、S62を出力する。IC50AからIC60Aへ“L”を伝送している時に、そのIC50A内の受信回路52は基準電位として例えば0.3Vを参照すれば、IC60Aからの送信信号を受信できる。IC50AからIC60Aへ“H”レベルを伝送している時に、そのIC50A内の受信回路52は基準電位として例えば0.9Vを参照すれば、IC60Aからの送信信号を受信できる。

【0044】(2) 非スタンバイ状態での動作

非スタンバイ状態とは、IC50AとIC60Aとの間で“L”と“H”に変化する信号を送ることである。例えば、前記(1)と同様に、基準電位生成回路54、64は、CMOS論理レベルの“H”が入力された時に0.9Vの電位を出力し、CMOS論理レベルの“L”が入力された時に0.3Vの電位を出力するとする。以下、この非スタンバイ状態を次の3通りの場合(2)

(a)～(2)(c)に分けて回路動作を説明する。

(2)(a): IC60AからIC50Aへ“L”、“H”、“L”と変化する信号を送る。IC50AからIC60Aへ“L”を送り続ける。

(2)(b): IC60AからIC50Aへは“L”、“H”、“L”と変化する信号を送る。IC50AからIC60Aへ“H”を送り続ける。

(2)(c): IC60AからIC50Aへは“L”、“H”、“L”と変化する信号を送る。IC50AからIC60Aへ“L”、“H”、“L”と変化する信号を送る。IC60AからIC50Aへ“H”を伝送中に、そのIC50AからIC60Aへ送る信号が“L”から“H”に変化する。

【0045】(2)(a) IC60AからIC50Aへ“L”、“H”、“L”と変化する信号を送り、IC50AからIC60Aへ“L”を送り続ける回路動作

この場合の図6の信号伝送回路の各部の信号のタイムチャートを図8(i)～(vi)に示す。IC60A内の内部論理回路63から図8(i)に示す信号S63が出力される。この信号S63に基づき、基準電位生成回路64から図8(ii)の一点鎖線で示す電位が出力される。一方、IC50A内の内部論理回路53から図8(iv)に示す信号S53が出力される。この信号S53に基づき、基準電位生成回路54から図8(v)に一点鎖線で示す電位が出力される。図8(i)の“L”の初期状態では、信号S63が“L”、信号S53が“L”である。そのため、抵抗手段51aがオフ状態、抵抗手段61aがオフ状態、抵抗手段51bがオン状態、及び抵抗手段61bがオン状態であり、IC60Aの入出力端子42から電位0V、IC50Aの入出力端子41から電位0Vの信号S60、S50が出力されている。IC6

0A内の受信回路62は、入出力端子42の電位0Vと基準電位生成回路64の出力電位0.3Vとを比較し、CMOS論理レベルの“L”の信号S62を出力している。IC50A内の受信回路52は、入出力端子41の電位0Vと基準電位生成回路54の出力電位0.3Vとを比較し、CMOS論理レベルの“L”の信号S52を出力している。

【0046】内部論理回路63から“H”の信号S63が出力されると、抵抗手段61aがオン状態、及び抵抗手段61bがオフ状態になり、入出力端子42から電位0.6Vの信号S60が出力される。この電位0.6Vの信号S60は、伝送線路40を伝搬し、該伝送線路40の特性インピーダンスLZと長さによって決まる遅延時間Td秒後に、入出力端子41に到達する。伝送された電位0.6Vの信号S60は、IC50A内の受信回路52に輸入される。受信回路52は、電位0.6Vと基準電位生成回路54の出力電位0.3Vとを比較し、“H”の信号S52を出力する。こうして信号S63の“H”はIC50A内の受信回路52に受信される。IC60A内の受信回路62は、入出力端子42の電位0.6Vと基準電位生成回路64の出力電位0.9Vとを比較し、CMOS論理レベルの“L”の信号S62を出力する。

【0047】信号S63が“H”から“L”に立ち下がると、抵抗手段61aがオフ状態、及び抵抗手段61bがオン状態になり、入出力端子42から電位0Vの信号S60が出力される。この電位0Vの信号S60は、伝送線路40を伝搬し、遅延時間Td秒後に、IC50Aの入出力端子41に到達する。伝送された電位0Vの信号S60は、IC50A内の受信回路52に輸入される。受信回路52は、入力された電位0Vと基準電位生成回路54の出力電位0.3Vとを比較し、“L”の信号S52を出力する。こうして信号S63の“L”はIC50A内の受信回路52に受信される。IC60A内の受信回路62は、入出力端子42の電位0Vと基準電位生成回路64の出力電位0.3Vとを比較し、CMOS論理レベルの“L”の信号S62を出力する。

【0048】このように、IC50AからIC60Aへ“L”を送信中に、そのIC60AからIC50Aへ送る信号が変化すると、入出力端子42における伝送信号波形は影響を受けるが、それに対応してIC60A内の受信回路62に輸入される基準電位生成回路64の出力電位が変化するため、該IC60A内の受信回路62で“L”の信号をそのまま受信できる。IC50AからIC60Aへ“L”を送っている間に、そのIC60AからIC50Aに“H”の信号S60が到着すると、入出力端子41では電位0.6Vの信号S60を受信し、IC60AからIC50Aに“L”の信号S60が到着すると、入出力端子41では電位0Vの信号S60を受信する。そのため、IC50A内の受信回路52が参照す

る基準電位生成回路54の出力電位は、例えばその中間である0.3Vにすれば、IC60Aからの信号S60を受信できる。IC50AからIC60Aへ“L”を送っている間に、そのIC60AからIC50Aに“H”を送信すると、入出力端子42では電位0.6Vの信号S60を出力し、そのIC60AからIC50Aに“L”を出力すると、入出力端子42では電位0Vの信号S60を出力する。そのため、IC60A内の受信回路62が参照する基準電位生成回路64の出力電位は、それぞれ0.9V、0.3Vとすれば、IC50Aからの信号S50を受信できる。

【0049】(2)(b) IC60AからIC50Aへは“L”、“H”、“L”と変化する信号を送り、IC50AからIC60Aへ“H”を送り続ける回路動作
この場合の図6の各部の信号のタイムチャートを図9に示す。IC60A内の内部論理回路63から図9(i)に示す信号S63が出力される。この信号S63に基づき、基準電位生成回路64から図9(ii)の一点鎖線で示す電位が出力される。一方、IC50A内の内部論理回路53から図9(iv)に示す信号S53が出力される。この信号S53に基づき、基準電位生成回路54から図9(v)に一点鎖線で示す電位が出力される。図9(i)の信号S63の“L”の初期状態では、信号S63が“L”、信号S53が“H”のため、抵抗手段51aがオン状態、抵抗手段61aがオフ状態、抵抗手段51bがオフ状態、及び抵抗手段61bがオン状態である。そのため、IC60Aの入出力端子42から電位0.6V、IC50Aの入出力端子41から電位0.6Vの信号S60、S50が出力されている。IC60A内の受信回路62は、入出力端子42の電位0.6Vと基準電位生成回路64の出力電位0.3Vとを比較し、CMOS論理レベルの“H”の信号S62を出力している。IC50A内の受信回路52は、入出力端子41の電位0.6Vと基準電位生成回路54の出力電位0.9Vとを比較し、CMOS論理レベルの“L”の信号S52を出力している。

【0050】IC60A内の内部論理回路63から出力される信号S63が“H”に立ち上がると、抵抗手段61aがオン状態、及び抵抗手段61bがオフ状態になり、入出力端子42から電位1.2Vの信号S60が出力される。この電位1.2Vの信号S60は、伝送線路40を伝搬し、特性インピーダンスLZと長さによって決まる遅延時間Td秒後に、IC50Aの入出力端子41に到達する。伝送された電位1.2Vの信号S60は、IC50A内の受信回路52に輸入される。受信回路52は、入力信号の電位1.2Vと基準電位生成回路54の出力電位0.9Vとを比較し、“H”の信号S52を出力する。こうして信号S63の“H”はIC50A内の受信回路52に受信される。IC60A内の受信回路62は、入出力端子42の電位1.2Vと基準電位

生成回路64の出力電位0.9Vとを比較し、CMOS論理レベルの“H”の信号S62を出力する。

【0051】IC60A内の内部論理回路63から出力される信号S63が“H”から“L”に立ち下ると、抵抗手段61aがオフ状態、及び抵抗手段61bがオン状態になり、入出力端子42から電位0.6Vの信号S60が出力される。この電位0.6Vの信号S60は、伝送線路40を伝搬し、遅延時間Td秒後に、IC50Aの入出力端子41に到達する。伝送された電位0.6Vの信号S60は、IC50A内の受信回路52に入力される。受信回路52は、入力信号の電位0.6Vと基準電位生成回路54の出力電位0.9Vとを比較し、

“L”の信号S52を出力する。こうして信号S63の“L”は、IC50A内の受信回路52に受信される。IC60A内の受信回路62は、入出力端子42の電位0.6Vと基準電位生成回路64の出力電位0.3Vとを比較し、CMOS論理レベルの“H”の信号S62を出力する。

【0052】このように、IC50AからIC60Aへ“H”を送信中に、そのIC60AからIC50Aへ送る信号が変化すると、入出力端子42における受信信号波形は影響を受けるが、それに対応してIC60A内の受信回路62に入力される基準電位生成回路64の出力電位が変化するため、該IC60A内の受信回路62で“H”の信号S50をそのまま受信できる。IC50AからIC60Aへ“H”を送信している間に、そのIC60AからIC50Aに“H”の信号S60が到着すると、入出力端子41では電位1.2Vの信号S60を受信し、そのIC60AからIC50Aに“L”の信号S60が到着すると、入出力端子41では電位0.6Vの信号S60を受信する。そのため、IC50A内の受信回路52が参照する基準電位生成回路54の出力電位は、例えばその中間である0.9Vにすれば、IC60Aからの信号S60を受信できる。IC50AからIC60Aへ“H”を送っている間に、そのIC60AからIC50Aへ“H”を送信すると、入出力端子42から電位1.2Vの信号S60を出力し、IC60AからIC50Aへ“L”を出力すると、入出力端子42から電位0.6Vの信号S60を出力する。これにより、IC60A内の受信回路62が参照する基準電位生成回路64の出力電位は、それぞれ0.9V、0.3Vとすれば、IC50Aからの信号S50を受信できる。

【0053】(2)(c) IC60AからIC50Aへは“L”、“H”、“L”と変化する信号を送り、IC50AからIC60Aへ“L”、“H”、“L”と変化する信号S53を送り、IC60AからIC50Aに“H”の信号が伝搬中に、IC50AからIC60Aへ送る信号が“L”から“H”に変化する回路動作
この場合の図6の各部の信号のタイムチャートを図10に示す。IC60A内の内部論理回路63から、図10

(i)に示す信号S63が出力される。この信号S63に基づき、基準電位生成回路64から図10(ii)の一点鎖線で示す電位が出力される。一方、IC50A内の内部論理回路53から、図10(iv)に示す信号S53が出力される。この信号S53に基づき、基準電位生成回路54から図10(v)に一点鎖線で示す電位が出力される。初期状態では、信号S63が“L”、信号S53が“L”のため、抵抗手段51aがオフ状態、抵抗手段61aがオフ状態、抵抗手段51bがオン状態、及び抵抗手段61bがオン状態である。これにより、IC60Aの入出力端子42から電位0V、及びIC50Aの入出力端子41から電位0Vの信号S60、S50が出力されている。IC60A内の受信回路62は、入出力端子42の電位0Vと基準電位生成回路64の出力電位0.3Vとを比較し、CMOS論理レベルの“L”の信号S62を出力している。IC50A内の受信回路52は、入出力端子41の電位0Vと基準電位生成回路54の出力電位0.3Vとを比較し、CMOS論理レベルの“L”の信号S52を出力している。

【0054】以下、図10の(イ)～(チ)に示す期間に分けて動作を説明する。

(イ)の期間：IC60A内の内部論理回路63から出力される信号S63が“H”になると、抵抗手段61aがオン状態、及び抵抗手段61bがオフ状態となり、入出力端子42から電位0.6Vの信号S60が出力される。この電位0.6Vの信号S60は、伝送線路40を伝搬し、遅延時間Td秒後に、IC50Aの入出力端子41に到達する。

(ロ)の期間：IC50A内の内部論理回路53から“H”の信号S53が出力され、抵抗手段51aがオン状態、及び抵抗手段51bがオフ状態になる。(イ)の期間にIC60Aの入出力端子42から出力された“H”の信号S60は、まだ伝送線路40を伝搬中で、IC50Aの入出力端子41には到着していない。

(ロ)の期間は、入出力端子41から伝送線路40を覗くと、GNDに終端された50Ωの抵抗として見えるため、該入出力端子41から電位0.6V(“H”)の信号S50が出力される(ロ)の期間の内部論理回路63から出力される信号S63のレベルには影響されない)。この電位0.6Vの信号S50は、伝送線路40を伝搬し、遅延時間Td秒後に、IC60Aの入出力端子42に到達する。

【0055】(ハ)の期間：(ロ)の期間にIC50Aの入出力端子41から出力された電位0.6Vの信号S50は、まだ伝送線路40を伝搬中で、IC60Aの入出力端子42には到着していない。(ハ)の期間は、入出力端子42から伝送線路40を覗くと、GNDに終端された50Ωの抵抗として見える。IC60A内の内部論理回路から出力される信号S63が“H”から“L”に立ち下ると、抵抗手段61aがオフ状態、及び抵抗

手段61bがオン状態になり、入出力端子42から電位0V(“L”)の信号S60が出力される(ハ)の期間の内部論理回路53から出力される信号S53のレベルには影響されない)。この電位0Vの信号S60は、伝送線路40を伝搬し、遅延時間Td秒後に、IC50Aの入出力端子41に到達する。

【0056】(ニ)の期間：(イ)の期間にIC60Aの入出力端子42から出力された電位0.6Vの信号S60が、IC50Aの入出力端子41に到着する。

(ニ)の期間は、入出力端子41から伝送線路40を覗くと、終端電位Vtに終端された50Ωの抵抗として見えるため、該入出力端子41には電位1.2Vの信号S60が入力される(ニ)の期間の内部論理回路63から出力される信号S63のレベルには影響されない)。電位1.2Vの信号S60は、IC50A内の受信回路52に入力される。受信回路52は、その入力信号の電位1.2Vと基準電位生成回路54の出力電位0.9Vとを比較し、“H”の信号S52を出力して内部論理回路53に与える。こうしてIC60Aから出力された“H”は、IC50Aに受信される。

【0057】(ホ)の期間：(ハ)の期間にIC60Aの入出力端子42から出力された電位0Vの信号S60が、IC50Aの入出力端子41に到着する。(ホ)の期間は、入出力端子41から伝送線路40を覗くと、GNDに終端された50Ωの抵抗として見えるため、該入出力端子41には電位0.6Vの信号S60が入力される(ホ)の期間の内部論理回路63から出力される信号S63のレベルには影響されない)。電位0.6Vの信号S60は、IC50A内の受信回路52に入力される。受信回路52は、その入力信号の電位0.6Vと基準電位生成回路54の出力電位0.9Vとを比較し、“L”の信号S52を出力し、内部論理回路53に与える。こうしてIC60Aから出力された“L”は、IC50Aに受信される。

【0058】(ヘ)の期間：IC50A内の内部論理回路53から出力される信号S53が“H”から“L”に立ち下がると、抵抗手段51aがオフ状態、及び抵抗手段51bがオン状態になる。(ヘ)の期間は、入出力端子41から伝送線路40を覗くと、GNDに終端された50Ωの抵抗として見えるため、該入出力端子41から電位0V(“L”)の信号S50が出力される(ヘ)の期間の内部論理回路63から出力される信号S63のレベルには影響されない)。この電位0Vの信号S50は、伝送線路40を伝搬し、遅延時間Td秒後に、IC60Aの入出力端子42に到達する。また、前記(2)(a)で説明したように、IC60Aから送られてくる“L”をIC50Aで受信中に、そのIC50AからIC60Aへ送る信号が変化すると、入出力端子41における受信信号波形は影響を受けるが、それに対応して該IC50A内の受信回路52に入力される基準電位生成

回路54の出力電位が変化するため、IC50Aで“L”をそのまま受信できる。

【0059】(ト)の期間：前記(ロ)、(二)、(ホ)の期間にIC50AからIC60Aへ送信した“H”の信号S50が、そのIC60Aの入出力端子42に到着する。(ト)の期間は、入出力端子42から伝送線路40を覗くと、終端電位Vtに終端された50Ωの抵抗として見える。抵抗手段61aがオフ状態、及び抵抗手段61bがオン状態なので、入出力端子42には電位0.6Vの信号S50が入力される(ト)の期間の内部論理回路53から出力される信号S53のレベルには影響されない)。電位0.6Vの信号S50は、IC60A内の受信回路62に入力される。受信回路62は、その入力信号の電位0.6Vと基準電位生成回路64の出力電位0.3Vとを比較し、“H”の信号S62を出力し、内部論理回路63に与える。こうしてIC50Aから出力された“H”は、IC60Aに受信される。

【0060】(チ)の期間：(ヘ)の期間にIC50AからIC60Aへ送信した“L”の信号S50が、そのIC60Aの入出力端子42に到着する。(チ)の期間は、入出力端子42から伝送線路40を覗くと、GNDに終端された50Ωの抵抗として見える。抵抗手段61aがオフ状態、及び抵抗手段61bがオン状態なので、入出力端子42には電位0Vの信号S50が入力される(チ)の期間の内部論理回路53から出力される信号S53のレベルには影響されない)。電位0Vの信号S50は、IC60A内の受信回路62に入力される。受信回路62は、その入力信号の電位0Vと基準電位生成回路64の出力電位0.3Vとを比較し、“L”の信号S62を出力し、内部論理回路63に与える。こうしてIC50AからIC60Aへ伝送される“L”が、該IC60Aに受信される。このように、IC60AからIC50Aへ送った信号S60が伝送線路40を伝搬中に(IC50Aに到着する前に)、そのIC50AからIC60Aへ送る信号が変化しても、そのIC60AからIC50Aへ送った信号S60を該IC50Aで受信することができる。また、IC60AからIC50Aへ送った信号S60が伝送線路40を伝搬中に、そのIC50AからIC60Aに信号を送っても、該IC60Aで受信することができる。

【0061】以上のように、この第3の実施例では、1本の伝送線路40の両端に接続される2つのIC50AとIC60A間で、同時に双方向に信号S50、S60の送受信ができるため、次のような効果がある。図2に示す従来の信号伝送回路では、2つのIC20とIC30との間で同時に信号の送受信を行うには、2本の伝送線路10が必要である。これは、伝送線路10は、IC30からIC20への送信しかできないからである。また、図1に示す第1の実施例では、伝送線路40を使っ

てIC50とIC60との間で双方向の伝送が可能であるが、同時に伝送することができないので、やはりその場合には2本の伝送線路40が必要である。これに対し、図6に示すこの第3の実施例の信号伝送回路では、伝送線路40の両端に接続されるIC50AとIC60Aとの間で同時に双方向に信号の送受信ができる。このため、従来の信号伝送回路に比べてIC50A及びIC60Aの入出力ピン数を削減することができ、それによってチップ面積を縮小することができる。さらに、伝送線路数を削減できるので、プリント基板上での実装面積を小さくすることができる。

【0062】図11(i)～(vi)は、図6に示すこの第3の実施例の信号伝送回路のシミュレーションを行った結果を示す図である。このシミュレーションでは、送信回路51、61に図3の送信回路を使用し、受信回路52、62に図4の受信回路を使用し、さらに基準電位生成回路54、64に図7の基準電位生成回路を使用している。図6中の終端電位 V_t は1.2V、抵抗手段51a、51b、61a、61bのオン抵抗値が50Ω、伝送線路40の伝搬遅延時間 T_d が約6.7ns/m、伝送線路長が1m、図7中の参照電位 V_{ref} が1.2V、抵抗94、95の抵抗値が75Ω、及びNMOS92、93のオン抵抗値が37.5Ωの条件でシミュレーションを行った。内部論理回路63から、図11(i)に示すCMOS論理レベルの周波数156MHzの信号S63が出力される。この信号S63に基づき、基準電位生成回路64から、図11(ii)の破線で示す電位が出力される。内部論理回路53から、図11(iv)に示すCMOS論理レベルの周波数156MHzの信号S53が出力される。この信号S53に基づき、基準電位生成回路54から、図11(v)の破線で示す電位が出力される。入出力端子42から、図11(ii)の実線で示す信号S60が出力され、入出力端子41から、図11(v)の実線で示す信号S50が出力される。受信回路62から、図11(iii)に示すCMOS論理レベルの信号S62が出力され、受信回路52から、図11(vi)に示すCMOS論理レベルの信号S52が出力される。図11のシミュレーション結果から明らかなように、IC60AからIC50Aへ図11(i)の信号S60を送り、図11(vi)に示すようにIC50Aで受信されていることが確認できる。同時に、IC50AからIC60Aへ図11(iv)の信号S50を送り、図11(ii)に示すようにIC60Aで受信されていることが確認できる。

【0063】第4の実施例

図12は、本発明の第4の実施例を示すもので、図6中の基準電位生成回路54、64の他の構成例を示す回路図であり、第4の実施例の図7中の要素と共通の要素には共通の符号が付されている。この基準電位生成回路では、図7のNMOS92に代えて、NMOS92a及び

抵抗92bからなる直列回路を設け、さらに図7のNMOS93に代えて、NMOS93a及び抵抗93bからなる直列回路を設けている。第3の実施例で説明したように、上述の条件において図7のNMOS92、93のオン抵抗値を所定の抵抗値（例えば、37.5Ω）に設計する必要がある。そのため、この第4の実施例の回路構成では、NMOS92a及び抵抗92bの直列抵抗値、ならびに、NMOS93a及び抵抗93bの直列抵抗値を、それぞれ37.5Ωに設計し、該NMOS92aと93aのオン抵抗値を37.5Ωよりも充分低く設計している。抵抗92b、93bは、例えば拡散抵抗等で形成されている。

【0064】この第4の実施例の基準電位生成回路では、図7の基準電位生成回路と同様に、入力されるCMOS論理レベルの信号S53の“H”と“L”に基づき、0Vから参照電位 V_{ref} の間で、2種類の基準電位を出力ノード96から出力する。例えば、 $V_{ref} = 1.2V$ 、抵抗94、95の抵抗値を75Ω、NMOS92aのオン抵抗値と抵抗92bの直列抵抗値を37.5Ω、NMOS93aのオン抵抗値と抵抗93bの直列抵抗値を37.5Ωとする。すると、入力されるCMOS論理レベルの信号S53が“H”の時、NMOS92aがオン状態、及びNMOS93aがオフ状態になり、出力ノード96から電位0.9Vが出力され、それが図6の受信回路52、62の参照電位として参照される。入力されるCMOS論理レベルの信号S53が“L”の時、NMOS92aがオフ状態、及びNMOS93aがオン状態になり、出力ノード96から電位0.3Vが出力され、それが図6の受信回路52、62の基準電位として参照される。

【0065】この第4の実施例では、次のような効果がある。第3の実施例の図7の基準電位生成回路では、NMOS92とNMOS93のオン抵抗値を所定の抵抗値に設計している。しかし、近年の微細加工技術によるMOSTランジスタ製造技術では、MOSTランジスタのゲート長を精度良く安定した値で製造することは難しく、仕上がりオン抵抗値がばらつくことがある。オン抵抗値のばらつきは、出力電位のばらつき（設計値からのばらつき）をもたらす。この基準電位生成回路の出力電位は、図6の受信回路52、62の基準電位として参照されているため、精度の良さが望まれる。図7の基準電位生成回路では、NMOS92、93のゲート長の仕上がり値のばらつきがそのまま出力電位のばらつきとなる。これに対し、この第4の実施例の基準電位生成回路では、NMOS92a、93aのゲート長の仕上がり値のばらつきを抵抗92b、93bで抑制できるので、出力電位の変動が少ない。従って、この基準電位生成回路から出力される基準電位の精度を大幅に改善できる。

【0066】なお、本発明は上記実施例に限定されず、他の利用形態や種々の実施例が考えられる。その例

(1)～(4)を以下列挙する。

(1) 本発明の信号伝送回路は、CMOS技術によるIC間の信号伝送のみならず、バイポーラ技術とCMOS技術を組合せたBiCMOS技術によるICやLSI(大規模集積回路)を含んだ信号伝送にも適用可能である。

(2) 伝送信号の3種類のレベルの電位や、受信回路52、62に与える2種類の基準電位は用途に合わせて設定することができる。例えば、図6の信号伝送回路において、終端電位 V_t 、抵抗手段51a、51b、61a、61bの抵抗値を変えることにより、伝送信号の3種類のレベルの電位を設定できる。終端電位 $V_t = 1.2V$ 、抵抗手段51a、51b、61a、61bのオン抵抗値を50Ωに設定すれば、0V、0.6V、1.2Vの3種類の伝送信号レベルを持つ。この場合、受信回路52、62に与える基準電位は3種類のレベルの中間値0.3V、0.9Vにすればよい。同じく、図6の信号伝送回路において、終端電位 $V_t = 1.6V$ 、抵抗手段51a、51b、61a、61bのオン抵抗値を50Ωに設定すれば、0V、0.8V、1.6Vの3種類の伝送信号レベルを持つ。この場合、受信回路52、62に与える基準電位は3種類のレベルの中間値0.4V、1.2Vにすればよい。受信回路52、62に与える基準電位は、例えば、図7の基準電位生成回路において、参照電位 V_{ref} 、抵抗94、95の抵抗値、及びNMOS92、93のオン抵抗値を変えることにより、2種類の基準電位を設定できる。参照電位 $V_{ref} = 1.2V$ 、抵抗94、95の抵抗値を75Ω、及びNMOS92、93のオン抵抗値を37.5Ωとすれば、0.3V、0.9Vの2種類の基準電位を出力できる。また、図7の基準電位生成回路において、参照電位 $V_{ref} = 1.6V$ 、抵抗94、95の抵抗値を75Ω、及びNMOS92、93のオン抵抗値を37.5Ωとすれば、0.4V、1.2Vの2種類の基準電位を出力できる。

【0067】(3) 図1の抵抗手段51a、51b、61a、61bとして、図3ではNMOS71、72で構成したが、PMOSやバイポーラトランジスタ等といった他のトランジスタで構成してもよい。例えば、図3の2つのNMOS71、72に代えてNMOSとPMOSの直列回路を設け、それらの閾値電圧を適宜設定すれば、CMOSインバータ73を省略できる。同様に、図1の抵抗手段51a、51b、61a、61bとして、図5ではNMOS71a及び抵抗71bの直列回路、及びNMOS72aと抵抗72bの直列回路で構成したが、それらのNMOS71a、72aに代えて、PMOSやバイポーラトランジスタ等といった他のトランジスタを用いてもよい。

(4) 図7及び図12の基準電位生成回路では、トランジスタとしてNMOS92、93、92a、93aを用いたが、PMOSやバイポーラトランジスタ等といった

他のトランジスタを用いてもよい。

【0068】

【発明の効果】以上詳細に説明したように、第1及び第2の発明によれば、伝送線路端でのインピーダンス整合を行う終端用抵抗が、IC内部に形成されてオンチップ化されているので、従来のようにプリント基板上に終端抵抗を実装する必要がなく、外付けの終端抵抗部品の削減による抵抗部品のコストを低減できる。さらに、集積回路が微細加工技術により半導体上に形成され、同じ抵抗値を持つ抵抗素子を形成するならば、従来のように抵抗部品をプリント基板上に実装するのに比べ、本発明では伝送線路端でのインピーダンス整合を行う終端用抵抗がオンチップ化されているので、大幅に素子面積を小さくでき、それによって実装面積を大幅に縮小できる。第3～第8の発明によれば、第1及び第2の発明とほぼ同様の効果が得られる上に、1本の伝送線路の両端に接続される第1と第2のIC間で同時に双方向に信号の送受信ができる。従って、従来の回路に比べて、ICの入出力ピン数を削減することができるので、チップ面積を縮小することができ、さらに、伝送線路数を削減できるので、プリント基板上等での実装面積を小さくすることができる。また、抵抗手段をトランジスタと抵抗で構成すると、そのトランジスタの製造ばらつきによるオン抵抗値のばらつきを、該抵抗で抑制できるので、その抵抗手段における電位の変動を少なくでき、精度が高く、安定した信頼性の高い信号伝送回路が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す信号伝送回路の構成図である。

【図2】従来の信号伝送回路の構成図である。

【図3】図1中の送信回路の回路図である。

【図4】図1中の差動アンプの回路図である。

【図5】本発明の第2の実施例を示す図1中の他の送信回路の回路図である。

【図6】本発明の第3の実施例を示す信号伝送回路の構成図である。

【図7】図6中の基準電位生成回路の回路図である。

【図8】図6の(2)(a)動作のタイムチャートである。

【図9】図6の(2)(b)動作のタイムチャートである。

【図10】図6の(2)(c)動作のタイムチャートである。

【図11】図6のシミュレーション結果を示す図である。

【図12】本発明の第4の実施例を示す図6中の他の基準電位生成回路の回路図である。

【符号の説明】

40

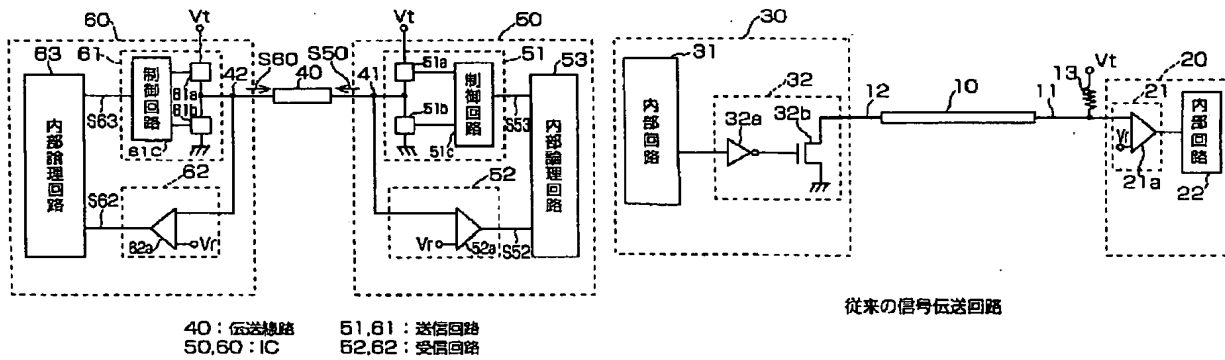
41、42

伝送線路
オンチップ

プ入出力端子	53, 63	内部論理
50, 50a, 60, 60a	回路	
51, 61	送信回路	基準電位
51a, 51b, 61a, 61b	抵抗手段	
51c, 61c	生成回路	
制御回路	71, 72, 74, 76, 92, 92a, 93, 93a	NMOS
52, 62	受信回路	インバータ
52a, 62a	差動アン	
プ	75, 77, 92b, 93b, 94, 95	抵抗

【図1】

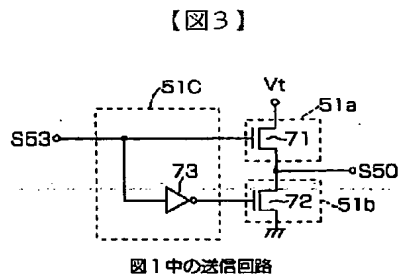
【図2】



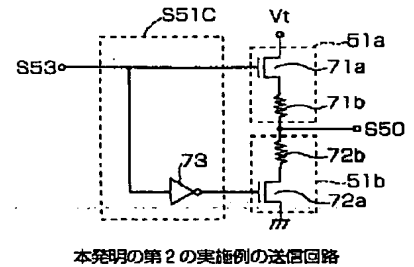
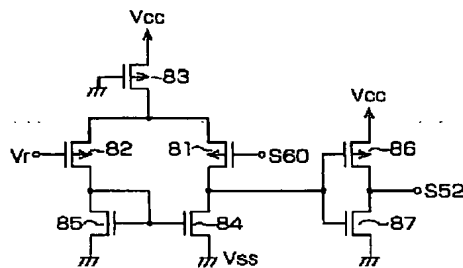
本発明の第1の実施例の信号伝送回路

従来の信号伝送回路

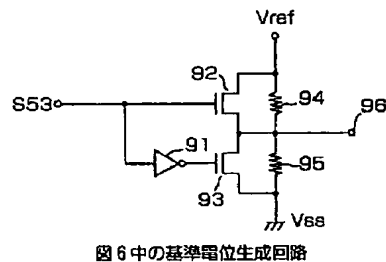
【図5】



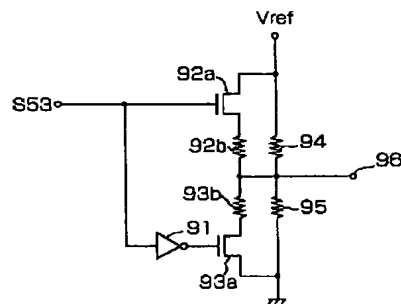
【図4】



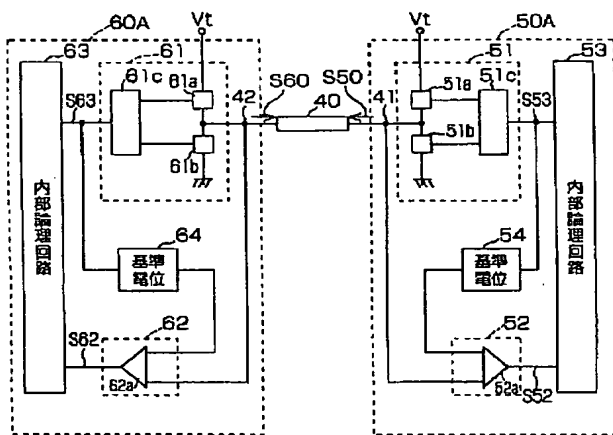
【図7】



【図12】



【図6】



50A, 60A : IC

本発明の第3の実施例の信号伝送回路

【図8】

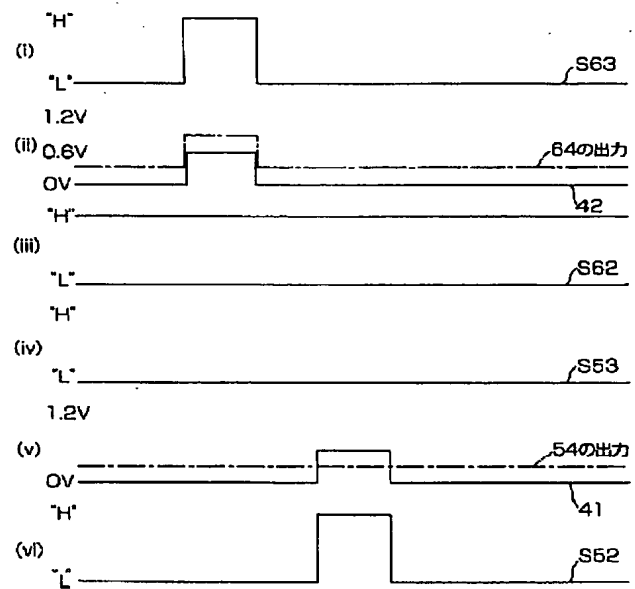


図6の(2)(a)動作のタイムチャート

【図9】

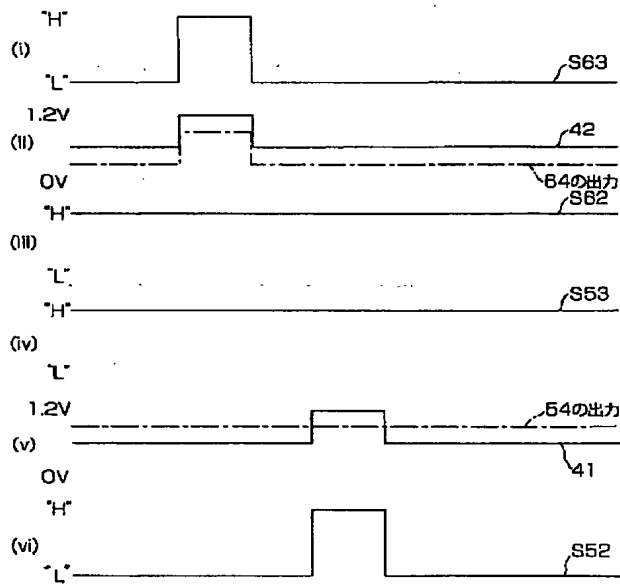


図6の(2)(b)動作のタイムチャート

【図10】

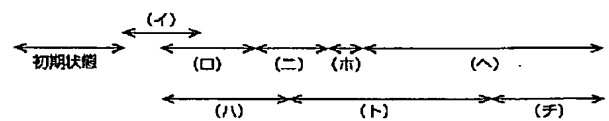
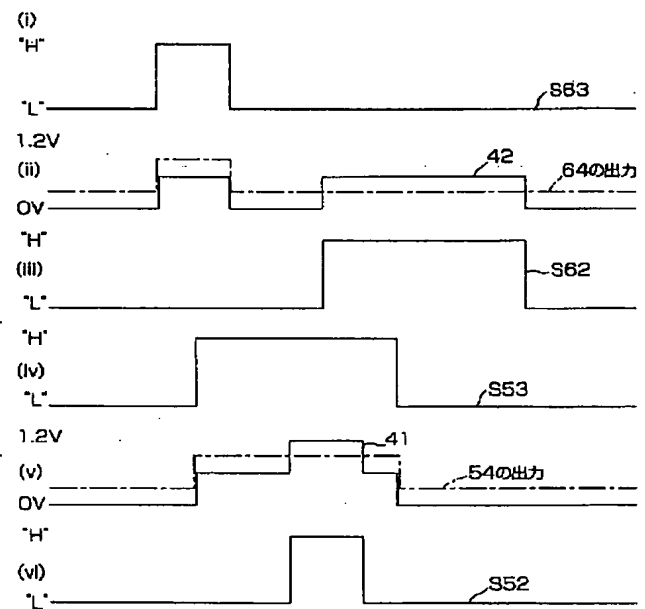


図6の(2)(c)動作のタイムチャート

【図11】

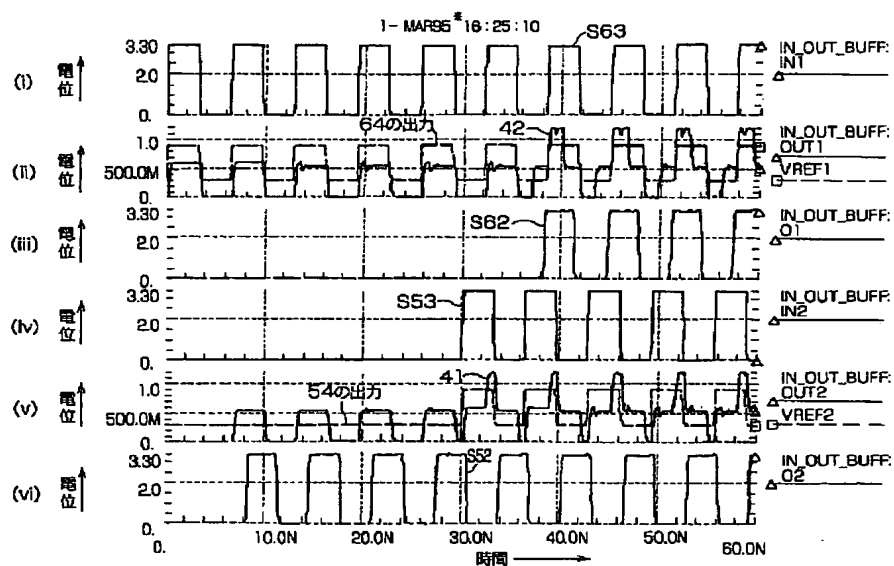


図6のシミュレーション結果